

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 60-062239

**(43)Date of publication of application : 10.04.1985**

(51) Int. Cl. H03K 19/20  
H03K 19/094

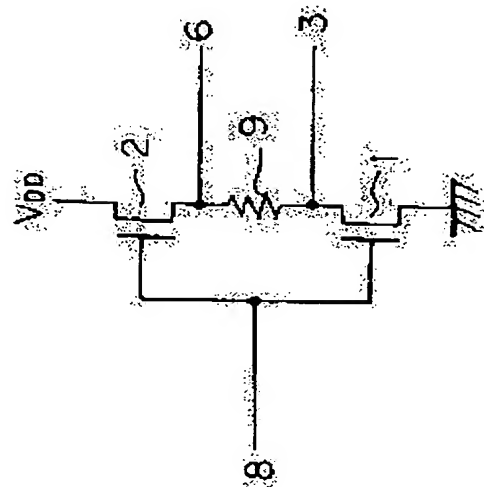
(21)Application number : 58-168366 (71)Applicant : OKI ELECTRIC IND CO LTD  
(22)Date of filing : 14.09.1983 (72)Inventor : TANAGAWA KOJI

#### (54) TERNARY INPUT CIRCUIT

**(57)Abstract:**

**PURPOSE:** To obtain a ternary input circuit with simple structure and small power consumption by interposing a resistance between both drains of a P channel and an N channel transistor (TR), and regarding the common gate as an input terminal and both terminals of the resistance as two output terminals.

**CONSTITUTION:** The resistance 9 is connected between the drains of the P channel TR2 and N channel TR1, and both terminals 6 and 3 of the resistance 9 are regarded as output terminals; and the source of the TR2 is connected to a high potential VDD, the source of the TR1 is connected to the ground side, and the gates of the TRs 1 and 2 are connected in common as an input terminal 8. When the threshold voltages of the TRs 1 and 2 are denoted as  $V_{TN}$  and  $V_{TP}$  respectively and an input voltage is  $V_i$ , the level is L in a range  $V_i > V_{TN}$ , M in a range  $V_{TN} < V_i < V_{TP}$ , and H in a range  $V_i > V_{TP}$ . The TR1 is off, the TR2 is on, and the outputs at the terminals 3 and 6 are both "1" in the range L, so that no DC current flows. Then, the TRs 1 and 2 are both on and the outputs are "0" and "1" in the range M. The TR1 is on, the TR2 is off, and the outputs are both "0" in the range H, so that no DC current is present.



## LEGAL STATUS

**[Date of request for examination]**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

**[Date of final disposal for application]**

[Patent number]

[Date of registration]

**[Number of appeal against examiner's decision of rejection]**

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**Japanese Publication for Unexamined Patent**  
**Application No. 62239/1985 (Tokukaishou 60-62239)**

*The following is a partial English translation of exemplary portions of non-English language information that may be relevant to the issue of patentability of the claims of the present application.*

**(Objective of the Invention)**

An object of the present invention is to provide a three-value input circuit suitable for lowering power consumption, and which circuit takes a small area.

**(Configuration of the Invention)**

The present invention relates to a three-value input circuit characterised in that: a resistor is connected to the respective drains of a P-channel transistor and an N-channel transistor; both ends of the resistor are respectively connected to a first and a second output terminals; the source of the p-channel transistor is connected to a high-potential side; the source of the N-channel transistor is connected to a low-potential side; and the respective gates of the transistors are combined to form an input terminal.

**(Example)**

The present invention is described with reference to Fig. 3 which is a circuit diagram of an example. Illustration of an operational waveform is omitted as being the same as that shown in Fig. 2. Further, in the following, members that are the same as those shown in Fig. 1 are given the same symbols, and explanations therefor are omitted here.

When an input voltage range is L, an N-channel transistor 1

is in the off state, and the P-channel transistor 2 is in the on state. Therefore, "1" is output from each of output terminals 3 and 6. At this point, there is no direct current as the N-channel transistor 2 is in the off state.

When the input voltage range is M, the N-channel transistor 1 is in the on state, and the P-channel transistor 2 is in the on state. Therefore, "0" and "1" are respectively output to the output terminals 3 and 6.

When the input voltage range is H, the N-channel transistor 1 is in the on state, and P-channel transistor 2 is in the off state. Therefore, "0" and "0" are respectively output to the output terminals 3 and 6. At this point, there is no direct current as the P-channel transistor 2 is in the off state.

Thus, the input voltage range is discriminated amongst three ranges of L, M, and H. Since, there is no direct current when the input voltage range is L or H, a low power operation is possible. Furthermore, since only one resistor is used, the area taken by the circuit is small.

To further reduce the power consumption, there is a second example as shown in Fig. 4 in which an N-channel transistor 10 is provided on the side of the ground, and a signal from the input terminal 11 is transmitted only when input information is needed, thereby turning on the N-channel transistor 10.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-62239

⑬ Int.Cl.<sup>4</sup>

H 03 K 19/20  
19/094

識別記号

101

庁内整理番号

8124-5J  
8326-5J

⑭ 公開 昭和60年(1985)4月10日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 三値入力回路

⑯ 特 願 昭58-168366

⑰ 出 願 昭58(1983)9月14日

⑱ 発 明 者 棚 川 幸 次

東京都港区虎ノ門1丁目丁東7番12号 沖電気工業株式会社内

⑲ 出 願 人 沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

⑳ 代 理 人 弁理士 鈴木 敏明

明 細 書

1. 発明の名称

三値入力回路

2. 特許請求の範囲

PチャンネルトランジスタのドレインとNチャンネルトランジスタのドレインとの間に抵抗を接続し、この抵抗の両端を第1、第2の出力端子に接続し、前記Pチャンネルトランジスタのソースを高電位側に、前記Nチャンネルトランジスタのソースを低電位側に接続し、前記両トランジスタのゲートを共通接続して入力端子としたことを特徴とする三値入力回路。

3. 発明の詳細な説明

(技術分野)

本発明は簡便にして消費電力の小さい三値入力回路に関するものである。

(従来技術)

従来、CMOS IC構造の三値入力回路を第1図に、その動作波形を第2図に示す。第2図に示したように入力電圧が0Vから5Vまで変化したときの

動作を例にとり以下に説明する。

なお、第2図においてaは入力端子8の電圧波形、bは第1の出力端子3の出力波形、cは第2の出力端子6の出力波形をそれぞれ示している。

入力電圧がNチャンネルトランジスタ1のスレッシュホールド電圧 $V_{TN}$ より低い範囲(この範囲をLとする)ではNチャンネルトランジスタ1がオフ、Pチャンネルトランジスタ2がオンの状態であるので、第1の出力端子3には抵抗 $R$ を通して電源端子5から入力された電源電位 $V_{DD}$ (以後“1”と称す)が出力される。一方、Pチャンネルトランジスタ2がオンの状態であるので第2の出力端子6には、やはり“1”が出力される。

入力電圧が前記 $V_{TN}$ より高く、Pチャンネルトランジスタ2のスレッシュホールド電圧 $V_{TP}$ より低い範囲(この範囲をMとする)ではNチャンネルトランジスタ1とPチャンネルトランジスタ2とがオンの状態であり、出力端子3には接地電位(以後“0”と称す)が出力され、出力端子6には“1”が出力される。

入力電圧が前記  $V_{TP}$  より高い範囲(この範囲を H とする)では N チャンネルトランジスタ 1 がオン、P チャンネルトランジスタ 2 がオフの状態になるので、第 1 および第 2 の出力端子 3, 6 には "0" が出力される。

以上のように第 1 図の三値入力回路では L, M, H の 3 つの入力電圧範囲を判定することができるが、いずれの入力範囲においても抵抗  $\gamma$  あるいは  $\gamma$  を流れる電流が存在するので、低電力化に適さず、トランジスタの面積に比べて大きな面積を必要とする抵抗が 2 個必要であるという欠点があった。

#### (発明の目的)

本発明の目的は低電力化に適し、占有面積の小さい三値入力回路を提供することにある。

#### (発明の構成)

本発明は P チャンネルトランジスタのドレインと N チャンネルトランジスタのドレインとの間に抵抗を接続し、この抵抗の両端を第 1, 第 2 の出力端子に接続し、前記 P チャンネルトランジスタ

のソースを高電位側に、前記 N チャンネルトランジスタのソースを低電位側に接続し、前記トランジスタのゲートを 1 つに統合して入力端子としたことを特徴とする三値入力回路に関するものである。

#### (実施例)

本発明の第 1 の実施例の回路図を第 3 図に示しこれにより説明する。なお、動作波形は第 2 図と同じであるので省略する。また、以下の図面においては第 1 図に示したと同一部分には同一符号を付し、その説明は省略する。

入力電圧範囲が L のとき、N チャンネルトランジスタ 1 がオフ、P チャンネルトランジスタ 2 がオンの状態であるので出力端子 3, 6 からはそれぞれ "1", "1" が出力される。このとき N チャンネルトランジスタ 2 がオフであるので直流電流は存在しない。

入力電圧の範囲が M のとき、N チャンネルトランジスタ 1 がオン、P チャンネルトランジスタ 2 がオンの状態であるので、出力端子 3, 6 にはそれぞれ "0", "1" が出力される。

入力電圧範囲が H のとき、N チャンネルトランジスタ 1 がオン、P チャンネルトランジスタ 2 がオフとなるので、出力端子 3, 6 にはそれぞれ "0", "0" が出力される。このとき P チャンネルトランジスタ 2 がオフであるので直流電流は存在しない。

以上のように L, M, H なる 3 つの入力電圧範囲が判定でき、入力電圧範囲が L 及び H のときには直流電流が存在しないので低電力で動作し、しかも抵抗を 1 個しか使用しないため、占有面積が少ないという利点がある。

なお、さらに低電力化を計るために第 2 の実施例として第 4 図に示すように N チャンネルトランジスタ 10 を接地側に挿入し、入力情報が必要なきのみ、入力端子 11 から信号を送り、N チャンネルトランジスタ 10 をオンにする方法もある。

#### (発明の効果)

本発明による三値入力回路は低電力化を可能にするとともに、回路構成が簡単で占有面積が小さいという利点を有し、IC 化するこの種の回路に

利用することができる。

#### 4. 図面の簡単な説明

第 1 図は従来の三値入力回路図、第 2 図は第 1 図の動作説明図、第 3 図は本発明の第 1 の実施例の回路図、第 4 図は本発明の第 2 の実施例の回路図である。

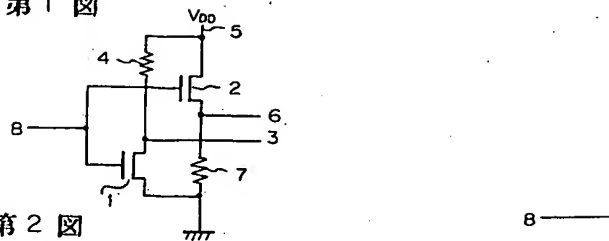
1, 10...N チャンネルトランジスタ、2...P チャンネルトランジスタ、3...第 1 の出力端子、6...第 2 の出力端子、8, 11...入力端子、9...抵抗、a...入力端子 8 の電圧波形、b...第 1 の出力端子の電圧波形、c...第 2 の出力端子の電圧波形。

特許出願人 沖電気工業株式会社

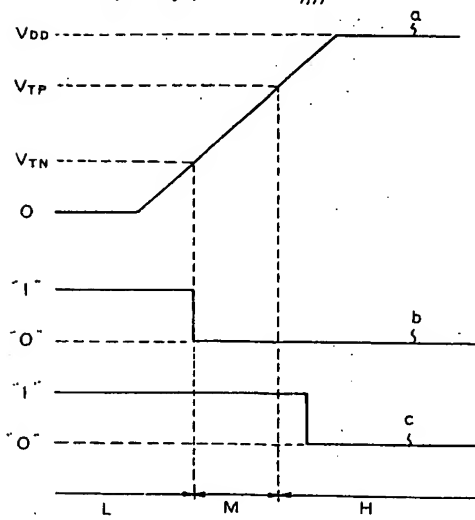
代理人 鈴木 敏 明



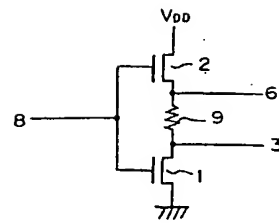
第 1 図



第 2 図



第 3 図



第 4 図

